

the emitter, base, and collector layers 1, 2, and 3, and the substrate 13. A surface electrode 4 of the emitter layer 1 is connected to the heat sink layer 12 by a metal wiring 11 passing through in the via hole 10.

COPYRIGHT: (C)2001,JPO

【特許請求の範囲】

【請求項1】 半導体基板の表面側に積層されたエミッタ層、ベース層およびコレクタ層と、
上記基板裏面に設けられた金属からなるヒートシンク層とを備え、

上記エミッタ層、ベース層、コレクタ層および基板をバイアホールが貫通し、

上記エミッタ層の表面電極と上記ヒートシンク層とが上記バイアホール内を通る金属配線で接続されていることを特徴とするヘテロ接合型バイポーラトランジスタ。

【請求項2】 請求項1に記載のヘテロ接合型バイポーラトランジスタにおいて、

上記バイアホールの断面形状は、各項角が鈍角であるような多角形または円形であることを特徴とするヘテロ接合型バイポーラトランジスタ。

【請求項3】 請求項1または2に記載のヘテロ接合型バイポーラトランジスタにおいて、

上記バイアホールの内部が上記金属配線の材料で埋め込まれていることを特徴とするヘテロ接合型バイポーラトランジスタ。

【請求項4】 請求項1、2または3に記載のヘテロ接合型バイポーラトランジスタにおいて、

上記エミッタ層の周縁部の厚さがそのエミッタ層の他の部分の厚さよりも薄く設定されていることを特徴とするヘテロ接合型バイポーラトランジスタ。

【請求項5】 共通の半導体基板に、請求項1乃至4のいずれか一つに記載のヘテロ接合型バイポーラトランジスタが複数個並べて形成され、並列動作するように互いに電気的に接続されていることを特徴とする並列接続のヘテロ接合型バイポーラトランジスタ。

【請求項6】 請求項5に記載の並列接続のヘテロ接合型バイポーラトランジスタにおいて、

上記共通の半導体基板に、基板表面から基板裏面まで貫通して、隣り合うヘテロ接合型バイポーラトランジスタの間を仕切る溝が設けられていることを特徴とするヘテロ接合型バイポーラトランジスタ。

【請求項7】 半導体基板の表面側にコレクタ層、ベース層およびエミッタ層をこの順に積層し、上になった層ほど面積が小さくなるように上記各層をパターン加工するとともに、上記各層の表面部分に、それぞれオーミック接触のための表面電極を形成する工程と、

上記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成する工程と、

上記エミッタの表面電極から上記第1のバイアホール内に延びて上記第1のバイアホールの底部に達する金属配線を形成する工程と、

上記基板の裏面側を上記第1のバイアホールの底部に達するまで研磨する工程と、

上記第1のバイアホール内の金属配線と接触するよう

に、上記研磨後の基板裏面に金属からなるヒートシンク層を設ける工程を有することを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項8】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成した後、上記エミッタ層、ベース層、コレクタ層の表面及び側面を覆う絶縁膜を設け、さらに上記第1のバイアホールを上記基板の裏面側へ向かって延長することを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項9】 請求項8に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成する第1段階では、ウェットエッチングまたは低パワー条件のドライエッチングを行う一方、上記第1のバイアホールを上記基板の裏面側へ向かって延長する第2段階では、高パワー条件のドライエッチングを行うことを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項10】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記エミッタ層をパターン加工するとき、上記エミッタ層の外縁下部をエッチングしてアンダーカットを形成し、

上記基板の表面側に上記ベース層の表面電極を構成すべき金属膜を成膜して、上記ベース層の表面電極の内縁を、上記エミッタ層の外縁の段差を用いて上記エミッタ層に対して自己整合的に形成するとともに、

上記金属膜とベース層とを同一のマスクを用いて連続的にエッチングして、上記ベース層の表面電極の外縁とベース層の外縁とが一致するように加工することを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項11】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記コレクタ層、ベース層の表面電極を形成した後、上記エミッタ層の表面電極を形成する前に上記第1のバイアホールを形成し、

上記エミッタ層の表面電極を形成するのと同時に、その表面電極の材料からなり、上記エミッタ層の表面部分から上記第1のバイアホール内に延びて上記第1のバイアホールの底部に達する配線パターンを形成し、

メッキ法により、その配線パターン上に上記金属配線を形成することを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項12】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記金属配線を形成した後、上記基板の裏面側を研磨するのに代えて、または上記基板の裏面側を所定量だけ研磨した後、上記基板の裏面側から上記第1のバイアホー

ルの底部に達する第2のバイアホールを形成し、上記研摩後の基板裏面に金属からなるヒートシンク層を、上記第2のバイアホールを通して第1のバイアホール内の金属配線と接触するように設けることを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項13】 請求項12に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成すると同時に、上記基板上で上記各層が占める領域以外の領域に、上記基板表面側から上記第1のバイアホールよりも深いアライメント用ホールを形成し、

上記基板の裏面側を上記アライメント用ホールの底部に達するまで研摩して、この基板の裏面側に現れたアライメント用ホールを基準として上記第2のバイアホールを形成するためのフォトリソグラフィを行うことを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項14】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記コレクタ層、ベース層、エミッタ層の表面電極のパターンを、それぞれ上記第1のバイアホールを形成すべき領域の周囲を一部欠落して取り囲むパターンとし、上記各表面電極をリフトオフ法によって形成すること、を特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項15】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

上記基板の裏面側を上記第1のバイアホールの底部に達するまで研摩するとき、研摩液の電気抵抗を観測して、上記第1のバイアホール内の金属配線の削りかすが研摩液中に混入して上記研摩液の電気抵抗が変化した時を研摩の終点とすることを特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項16】 請求項7に記載のヘテロ接合型バイポーラトランジスタの製造方法において、

共通の半導体基板に、上記ヘテロ接合型バイポーラトランジスタのエミッタ層、ベース層、コレクタ層を複数組並べて形成し、

上記各ヘテロ接合型バイポーラトランジスタに第1のバイアホールを形成する前に、隣り合うヘテロ接合型バイポーラトランジスタのコレクタ層の間に、イオン注入を行って所定の厚さを持つ素子間分離領域を形成すること、を特徴とするヘテロ接合型バイポーラトランジスタの製造方法。

【請求項17】 請求項1乃至6のいずれか一つに記載ヘテロ接合型バイポーラトランジスタ若しくは並列接続のヘテロ接合型バイポーラトランジスタ、または請求項7乃至16のいずれか一つに記載のヘテロ接合型バイポーラトランジスタの製造方法によって作製されたヘテロ接合型バイポーラトランジスタを、高周波増幅器として

備えたことを特徴とする高周波送受信機。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明はヘテロ接合型バイポーラトランジスタ（並列接続されたものを含む。）およびその製造方法に関する。また、ヘテロ接合型バイポーラトランジスタを増幅器として有する高周波送受信機に関する。

【0002】

10 【従来の技術】マイクロ波帯域での高出力素子としてGaAs系ヘテロ接合型バイポーラトランジスタ（以下、適宜「HBT」と略称する。）が開発されている。一般に、HBTは熱抵抗が高く、高出力素子として使用する場合、接合温度が高くなってしまう問題点がある。このため、図22に示すように、放熱性を改善するための構造が提案されている（特開平8-279562号公報）。ここで、図22（a）は高出力動作のために並列接続されたHBTの平面パターンを示し、図22（b）は同図（a）におけるB-B線断面を示している。この構造では、GaAs基板113の表面側にコレクタ電極106、ベース電極105、エミッタ電極104を有する複数のHBT90を含み、隣り合うHBT90の間に、基板表面側から基板裏面側に貫通するバイアホール110が設けられている。各HBT90の表面側の接合部127で発生した熱は、そのトランジスタのエミッタ電極104からエアブリッジ111を介して隣接するバイアホール110内の金属体99へ伝わり、その金属体99から更に基板裏面に設けられたPHS（プレイテッド・ヒート・シンク）層112に伝わって放熱される。

30 【0003】

【発明が解決しようとする課題】しかし、上記従来の構造では、（1）更に高出力化を図る場合、エアブリッジ111の電気抵抗が無視できず、放熱効果が不十分であり、トランジスタ内部の接合温度を十分に低減することができない、（2）エミッタインダクタンスの低減に限界があるため、高周波特性にバラツキが生じたり、高周波動作時の利得の低下を招く等の問題がある。

【0004】そこで、この発明の目的は、放熱性を改善でき、エミッタインダクタンスを低減できるヘテロ接合型バイポーラトランジスタ（並列接続されたものを含む。）を提供することにある。

【0005】また、この発明の目的は、そのようなヘテロ接合型バイポーラトランジスタを作製できるヘテロ接合型バイポーラトランジスタの製造方法を提供することにある。

【0006】また、この発明の目的は、そのようなヘテロ接合型バイポーラトランジスタを増幅器として有する高周波送受信機を提供することにある。

【0007】

50 【課題を解決するための手段】上記目的を達成するた

め、この発明のヘテロ接合型バイポーラトランジスタは、半導体基板の表面側に積層されたエミッタ層、ベース層およびコレクタ層と、上記基板裏面に設けられた金属からなるヒートシンク層とを備え、上記エミッタ層、ベース層、コレクタ層および基板をバイアホールが貫通し、上記エミッタ層の表面電極と上記ヒートシンク層とが上記バイアホール内を通る金属配線に接続されていることを特徴とする。

【0008】この発明のヘテロ接合型バイポーラトランジスタでは、動作時に半導体基板の表面側の接合部（主としてベース層とコレクタ層との界面）で発生した熱は、二つの経路を通して放熱される。一つの経路は、接合部からエミッタ層の表面電極を経由して金属配線に伝わり、この金属配線によって基板表面側からバイアホール内を通して基板裏面のヒートシンク層に伝わる経路である。もう一つの経路は、接合部から基板内を通してバイアホール内の金属配線に伝わり、この金属配線によって基板裏面のヒートシンク層に伝わる経路である。このように、接合部で発生した熱が二つの経路を通して放熱されるので、放熱性が改善される。また、上記バイアホールは上記エミッタ層、ベース層、コレクタ層および基板を貫通しているため、エミッタの表面電極とバイアホールの表面側開口とは極めて接近している。したがって、上記金属配線は、エミッタ層の表面電極からバイアホール内に最短距離で引き込まれる。この結果、エアブリッジを介する場合に比して、エミッタインダクタンスが低減され、高周波特性が改善される。

【0009】一実施形態のヘテロ接合型バイポーラトランジスタは、上記バイアホールの断面形状は、各頂角が鈍角であるような多角形または円形であることを特徴とする。

【0010】バイアホールの断面形状が鋭角の部分を持てば、動作時にその部分で電界集中が起きて、素子の信頼性が低下する可能性がある。そこで、一実施形態のヘテロ接合型バイポーラトランジスタでは、上記バイアホールの断面形状は、各頂角が鈍角であるような多角形または円形に設定される。これにより、バイアホールの周りで電界集中が抑制される。したがって、素子の信頼性が向上する。

【0011】また、一実施形態のヘテロ接合型バイポーラトランジスタは、上記バイアホールの内部が上記金属配線の材料で埋め込まれていることを特徴とする。

【0012】この実施形態のヘテロ接合型バイポーラトランジスタでは、上記バイアホールの内部が上記金属配線の材料で埋め込まれているため、上記バイアホールを通した放熱効果が高まり、さらに放熱性が改善される。この結果、素子特性の安定化及び高信頼性化が図られる。

【0013】一実施形態のヘテロ接合型バイポーラトランジスタは、上記エミッタ層の周縁部の厚さがそのエミ

ッタ層の他の部分の厚さよりも薄く設定されていることを特徴とする。

【0014】この実施形態のヘテロ接合型バイポーラトランジスタでは、上記エミッタ層の周縁部の厚さがそのエミッタ層の他の部分の厚さよりも薄く設定され、いわゆるエッジシンニング構造となっている。したがって、動作時にエミッタ層の周縁部とベース層との間に発生する正孔と電子との再結合が防止される。この結果、素子の高信頼性化が図られる。

【0015】また、この発明の並列接続のヘテロ接合型バイポーラトランジスタは、共通の半導体基板に、上記いずれかのヘテロ接合型バイポーラトランジスタが複数個並べて形成され、並列動作するように互いに電気的に接続されていることを特徴とする。

【0016】この並列接続のヘテロ接合型バイポーラトランジスタでは、上記いずれかのヘテロ接合型バイポーラトランジスタが並列動作するように互いに電気的に接続されているので、高出力動作が可能となる。また、各トランジスタの接合部で発生した熱は、そのトランジスタ毎に基板裏面のヒートシンク層に放熱される。したがって、各トランジスタの性能ばらつきによる熱の集中が抑制されて、信頼性が向上する。

【0017】一実施形態の並列接続のヘテロ接合型バイポーラトランジスタは、上記共通の半導体基板に、基板表面から基板裏面まで貫通して、隣り合うヘテロ接合型バイポーラトランジスタの間を仕切る溝が設けられていることを特徴とする。

【0018】一般に、並列接続のヘテロ接合型バイポーラトランジスタでは、動作時に隣り合うトランジスタ同士が熱的に影響を及ぼし合う。或るトランジスタが不均一な動作をして不均一に発熱した場合には、そのトランジスタに隣り合うトランジスタが影響を受けて発熱し、極端な場合には破壊に至ることがある。また、或るトランジスタの隣にトランジスタが存在しない場合には、熱的なバランスが崩れて、同様の結果を招くおそれがある。そこで、一実施形態の並列接続のヘテロ接合型バイポーラトランジスタでは、上記共通の半導体基板に、基板表面から基板裏面まで貫通して、隣り合うヘテロ接合型バイポーラトランジスタの間を仕切る溝が設けられている。これにより、動作時に隣り合うトランジスタ同士が熱的に遮断されて、互いに影響を及ぼし合うことが無くなるとともに、各トランジスタの熱容量が均一化されて均一に動作するようになる。したがって、素子の高信頼性化が図られる。

【0019】この発明のヘテロ接合型バイポーラトランジスタの製造方法は、半導体基板の表面側にコレクタ層、ベース層およびエミッタ層をこの順に積層し、上になった層ほど面積が小さくなるように上記各層をパターン加工するとともに、上記各層の表面部分に、それぞれオーミック接触のための表面電極を形成する工程と、上

記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成する工程と、上記エミッタの表面電極から上記第1のバイアホール内に延びて上記第1のバイアホールの底部に達する金属配線を形成する工程と、上記基板の裏面側を上記第1のバイアホールの底部に達するまで研磨する工程と、上記第1のバイアホール内の金属配線と接触するように、上記研磨後の基板裏面に金属からなるヒートシンク層を設ける工程を有することを特徴とする。

【0020】この発明のヘテロ接合型バイポーラトランジスタの製造方法によれば、放熱性を改善でき、エミッタインダクタンスを低減できるヘテロ接合型バイポーラトランジスタが作製される。

【0021】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成した後、上記エミッタ層、ベース層、コレクタ層の表面及び側面を覆う絶縁膜を設け、さらに上記第1のバイアホールを上記基板の裏面側へ向かって延長することを特徴とする。

【0022】上記第1のバイアホールを形成する工程では、上記エミッタ層、ベース層、コレクタ層を貫通し上記基板内の所定の深さまで長時間のエッチングを行うことになる。このため、エッチングの横方向への広がりによる寸法シフトが生じて、素子の加工精度が低下し、ひいては特性ばらつきが生ずる。また、第1のバイアホールの内壁（すなわちエミッタ層、ベース層、コレクタ層の側面）に表面荒れが生じ、特にドライエッチングを用いた場合はエッチング面へのプラズマダメージが導入される。このため、素子特性が劣化する等のおそれがある。そこで、一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成した後、上記エミッタ層、ベース層、コレクタ層の表面及び側面を覆う絶縁膜を設け、さらに上記第1のバイアホールを上記基板の裏面側へ向かって延長する。これにより、エッチングによる第1のバイアホールの寸法シフトが抑制されて、素子の高精度化、特性の高均一化が図られる。また、エミッタ層、ベース層、コレクタ層の側面に表面荒れやダメージが生じなくなる。したがって、素子の高信頼性が図られる。

【0023】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成する第1段階では、ウェットエッチングまたは低パワー条件のドライエッチングを行う一方、上記第1のバイアホールを上記基板の裏面側へ向かって延長する第2段階では、高パワー条件のドライエッチングを行うことを特徴とする。

【0024】この実施形態のヘテロ接合型バイポーラト

ランジスタの製造方法では、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成する第1段階では、ウェットエッチングまたは低パワー条件のドライエッチングを行うので、上記エミッタ層、ベース層、コレクタ層の側面に表面荒れやダメージが生じるのを効果的に防止できる。したがって、素子の高信頼性が図られる。また、上記第1のバイアホールを上記基板の裏面側へ向かって延長する第2段階では、高パワー条件のドライエッチングを行うので、横方向へのエッチング広がりを抑えながら高速のエッチングを行うことができ、深いバイアホールを比較的短時間で形成できる。

【0025】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記エミッタ層をパターン加工するとき、上記エミッタ層の外縁下部をエッチングしてアンダーカットを形成し、上記基板の表面側に上記ベース層の表面電極を構成すべき金属膜を成膜して、上記ベース層の表面電極の内縁を、上記エミッタ層の外縁の段差を用いて上記エミッタ層に対して自己整合的に形成するとともに、上記金属膜とベース層とを同一のマスクを用いて連続的にエッチングして、上記ベース層の表面電極の外縁とベース層の外縁とが一致するように加工することを特徴とする。

【0026】この発明のヘテロ接合型バイポーラトランジスタの製造方法では、上記エミッタ層、ベース層、コレクタ層を第1のバイアホールが貫通するため、上記各層とそれらの表面電極が第1のバイアホールの周りを細長く環状に取り囲む形態となる。このため、特にベース配線抵抗が上昇して素子の高周波特性を劣化させるおそれがある。なお、単にベース層の幅を広くしてベース層の表面電極の面積を広くすれば、ベース配線抵抗の上昇を抑制できるが、ベース・コレクタ間の容量が増加して高周波特性が低下することになる。そこで、この実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記エミッタ層をパターン加工するとき、上記エミッタ層の外縁下部をエッチングしてアンダーカットを形成し、上記基板の表面側に上記ベース層の表面電極を構成すべき金属膜を成膜して、上記ベース層の表面電極の内縁を、上記エミッタ層の外縁の段差を用いて上記エミッタ層に対して自己整合的に形成する。これとともに、上記金属膜とベース層とを同一のマスクを用いて連続的にエッチングして、上記ベース層の表面電極の外縁とベース層の外縁とが一致するように加工する。これにより、ベース層の幅を広げることなく、ベース層の表面電極の幅をエミッタ層の外縁からベース層の外縁の範囲まで一杯に広げることができる。これにより、ベース・コレクタ間の容量の増加を避けながら、ベース配線抵抗の上昇を抑制できる。したがって、素子の高周波特性の向上が図られる。

【0027】一実施形態のヘテロ接合型バイポーラト

ンジスタの製造方法は、上記コレクタ層、ベース層の表面電極を形成した後、上記エミッタ層の表面電極を形成する前に上記第1のバイアホールを形成し、上記エミッタ層の表面電極を形成すると同時に、その表面電極の材料からなり、上記エミッタ層の表面部分から上記第1のバイアホール内に延びて上記第1のバイアホールの底部に達する配線パターンを形成し、メッキ法により、その配線パターン上に上記金属配線を形成することを特徴とする。

【0028】この実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、エミッタ層の表面電極を形成すると同時に、金属配線をメッキするための配線パターンを形成しているため、エミッタ層の表面電極と金属配線とを別々にパターン加工する場合に比して、工程が短縮化される。したがって、製造コストの低減が図られる。

【0029】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記金属配線を形成した後、上記基板の裏面側を研磨するのに代えて、または上記基板の裏面側を所定量だけ研磨した後、上記基板の裏面側から上記第1のバイアホールの底部に達する第2のバイアホールを形成し、上記研磨後の基板裏面に金属からなるヒートシンク層を、上記第2のバイアホールを通して第1のバイアホール内の金属配線と接触するように設けることを特徴とする。

【0030】この実施形態のヘテロ接合型バイポーラトランジスタの製造方法によれば、基板裏面の研磨工程が省略されるか、または少しの研磨量で済ませられる。特に、基板裏面側から第2のバイアホールをウェットエッチングによって掘り鉢状に形成した場合は、作製されたヘテロ接合型バイポーラトランジスタにおいて、基板裏面のヒートシンク層に近づくにつれて第2のバイアホールが作る放熱経路が太くなるので、さらに放熱性が改善される。

【0031】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成すると同時に、上記基板上で上記各層が占める領域以外の領域に、上記基板表面側から上記第1のバイアホールよりも深いアライメント用ホールを形成し、上記基板の裏面側を上記アライメント用ホールの底部に達するまで研磨して、この基板の裏面側に現れたアライメント用ホールを基準として上記第2のバイアホールを形成するためのフォトリソグラフィを行うことを特徴とする。

【0032】この実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、基板表面側から形成した第1のバイアホールに対して、基板裏面側から形成する第2のバイアホールを、両面アライナ等の特殊な装置を用いることなく、通常のアライナによって位置合わせする

ことができる。したがって、通常のフォトリソグラフィ技術による高精度な位置合わせが行える。

【0033】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記コレクタ層、ベース層、エミッタ層の表面電極のパターンを、それぞれ上記第1のバイアホールを形成すべき領域の周囲を一部欠落して取り囲むパターンとし、上記各表面電極をリフトオフ法によって形成することを特徴とする。

【0034】この実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、コレクタ層、ベース層、エミッタ層の表面電極のパターンを、それぞれ上記第1のバイアホールを形成すべき領域の周囲を一部欠落して取り囲む略環状のパターンとしているため、リフトオフ用レジストを溶剤で溶かすとき、溶剤が略環状のパターンの外側からその欠落部分を通して内側へ容易に浸入する。したがって、コレクタ層、ベース層、エミッタ層の表面電極のパターンを完全な環状パターンとした場合に比して、リフトオフが容易に行える。

【0035】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、上記基板の裏面側を上記第1のバイアホールの底部に達するまで研磨するとき、研磨液の電気抵抗を観測して、上記第1のバイアホール内の金属配線の削りかすが研磨液中に混入して上記研磨液の電気抵抗が変化した時を研磨の終点とすることを特徴とする。

【0036】この実施形態のヘテロ接合型バイポーラトランジスタの製造方法によれば、研磨の終点が明確になるので、基板裏面側の研磨量の精度が向上する。

【0037】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法は、共通の半導体基板に、上記ヘテロ接合型バイポーラトランジスタのエミッタ層、ベース層、コレクタ層を複数組並べて形成し、上記各ヘテロ接合型バイポーラトランジスタに第1のバイアホールを形成する前に、隣り合うヘテロ接合型バイポーラトランジスタのコレクタ層の間に、イオン注入を行って所定の厚さを持つ素子間分離領域を形成することを特徴とする。

【0038】この発明のヘテロ接合型バイポーラトランジスタの製造方法では、各ヘテロ接合型バイポーラトランジスタのエミッタ層、ベース層、コレクタ層はメサ状に形成される。このため、第1のバイアホールを形成するためにフォトリソグラフィを行ったとき、メサ段差に起因してフォトレジストマスクの膜厚が不均一となり、最上段のエミッタ層上でフォトレジストマスクの膜厚が薄くなる。この結果、第1のバイアホールをエッチングしている間にマスク破れが発生して、エミッタ層がエッチングされるおそれがある。なお、単にフォトレジストマスクの膜厚を厚くすると、パターンニング精度が低下してしまうため、あまり厚くすることはできない。そこで、この実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、隣り合うヘテロ接合型バイポーラト

ランジスタのコレクタ層の間に、イオン注入を行って所定の厚さを持つ素子間分離領域を形成する。この素子間分離領域の厚さのお陰で、第1のバイアホールを形成するためにフォトリソグラフィを行ったとき、上記基板上のトランジスタ部とフィールド部（トランジスタの間の領域）との間の段差が低減されて、フォトレジストマスクの膜厚が均一となる。したがって、第1のバイアホールをエッチングしている間にマスク破れが発生するおそれが解消される。しかも、金属配線を形成するときにトランジスタ部の被覆性が良好となり、素子信頼性の向上が図られる。

【0039】なお、素子分離領域を形成するために注入されるイオンとしては、素子分離領域を高抵抗領域とするために、酸素イオン、ヘリウムイオン、水素イオン等の活性化されないイオン種を用いるのが望ましい。

【0040】この発明の高周波送受信機は、上記いずれかのヘテロ接合型バイポーラトランジスタ若しくは並列接続のヘテロ接合型バイポーラトランジスタ、上記いずれかのヘテロ接合型バイポーラトランジスタの製造方法によって作製されたヘテロ接合型バイポーラトランジスタを、高周波増幅器として備えたことを特徴とする。

【0041】この発明の高周波送受信機では、高周波増幅器が放熱性に優れているので、高周波増幅を行う場合に、高利得で高出力動作が可能になる。また、高信頼化が図られる。

【0042】

【発明の実施の形態】以下、この発明を図示の実施の形態により詳細に説明する。

【0043】（第1実施形態）図1（a）は第1実施形態のHBT50の平面パターンを示し、図1（b）は同図（a）におけるB-B線断面を示している。

【0044】このHBT50は、半絶縁性GaAs基板13の表面側に積層されたn-GaAs等からなるエミッタ層1、p⁺-GaAs等からなるベース層2およびn-GaAs等からなるコレクタ層3と、基板13の裏面に設けられた金属からなるヒートシンク層（以下「PHS層」という。）12とを備えている。

【0045】コレクタ層3、ベース層2およびエミッタ層1は、下からこの順に積層され、上になった層ほど面積が小さくなるように同心の矩形パターンで、それぞれメサ状に加工されている。各層1、2、3の表面部分には、それぞれオーミック接触のための厚さ数100nmの表面電極（以下「オーミック電極」という。）4、5、6が形成されている。各オーミック電極の材料としては、エミッタオーミック電極4については例えばWNやWN/Ti/Auの多層膜、ベースオーミック電極5については例えばPtやPt/Ti/Pt/Auの多層膜、コレクタオーミック電極6については例えばAuGeやAuGe/Ni/Auの多層膜がそれぞれ採用される。これらのオーミック電極4、5、6は、図1（a）

では図示が省略されているが、それぞれ矩形の枠状にパターン加工されている。

【0046】エミッタ層1、ベース層2、コレクタ層3の中央部を貫通して、各層1、2、3と同心の断面矩形状のバイアホール10が設けられている。このバイアホール10は、一定の断面寸法を持ち、エミッタ層1の表面から基板13の裏面まで達している。バイアホール10の側壁10sは、各層1、2、3の側面を保護するための層間絶縁膜9で覆われている。

【0047】エミッタオーミック電極4とPHS層12とがバイアホール10内を通る金属配線11で接続されている。エミッタオーミック電極4とバイアホール10の開口とは極めて接近しているので、金属配線11は、エミッタオーミック電極4からバイアホール10内に最短距離で引き込まれている。

【0048】このHBT50では、動作時に半導体基板13の表面側の接合部（主としてベース層2とコレクタ層3との界面）で発生した熱は、二つの経路を通して放熱される。一つの経路は、接合部からエミッタオーミック電極4を経由して金属配線11に伝わり、この金属配線11によって基板表面側からバイアホール10内を通して基板裏面のPHS層12に伝わる経路である。もう一つの経路は、接合部から基板13内、バイアホール側壁10sの層間絶縁膜9を通してバイアホール10内の金属配線11に伝わり、この金属配線11によって基板裏面のPHS層12に伝わる経路である。このように、接合部で発生した熱が二つの経路を通して放熱されるので、放熱性が改善される。また、金属配線11は、エミッタオーミック電極4からバイアホール10内に最短距離で引き込まれているので、エアブリッジを介する場合に比して、エミッタインダクタンスが低減され、高周波特性が改善される。

【0049】このHBT50は次のようにして作製される。

【0050】まず、図2（a）に示すように、半絶縁性GaAs基板13の表面側に、エピタキシャル成長法により、所定の組成および厚さのコレクタ層3、ベース層2、エミッタ層1を積層する（予めこれらの層3、2、1が積層された市販のウエハを用いても良い）。次に、エミッタ層1、ベース層2、コレクタ層3をそれぞれクエン酸系等のエッチング溶液を用いたウェットエッチング若しくは塩素系ガス等を用いたRIE（リアクティブ・イオン・エッチング）等のドライエッチングにより、上になった層ほど面積が小さくなるように各層1、2、3をパターン加工する。この例では、エミッタ層1の各辺の長さを50μm程度に設定する。これとともに、図2（b）に示すように、各層1、2、3の表面部分に、リフトオフ法により、それぞれ矩形の枠状パターンを持つオーミック電極4、5、6を形成する。

【0051】次に、図2（c）に示すように、フォトリ

ソグラフィを行ってレジストマスク7を形成した後、RIE等のドライエッチングを行って、エミッタ層1、ベース層2、コレクタ層3の中央部を貫通して基板13内の所定の深さ、例えば深さ100 μ mで止まるバイアホール10を形成する。この例では、エミッタ層1の各辺の幅を4 μ m程度とする。したがって、エミッタ層1は各辺の長さが50 μ m程度、幅が4 μ m程度で、全長200 μ m程度の矩形の枠状になる。

【0052】次に、図2(d)に示すように、プラズマCVD法などにより、基板13の表面側に例えばSiN、SiO₂、SiON、ポリイミド樹脂等からなる層間絶縁膜9を、数100nmの厚さで、バイアホール10の内壁10sをも覆うように均一に成膜する。続いて、フォトリソグラフィおよびエッチングを行って、層間絶縁膜9のうちエミッタオーミック配線4の表面上およびバイアホール10の底面上に存する部分を除去して、エミッタオーミック電極4の表面およびバイアホール10の底面を露出させる。

【0053】次に、蒸着法やスパッタリング法若しくはメッキ法等により、基板13の表面側に金属配線11の材料、例えば10 μ m程度の厚さの金を、バイアホール10内の層間絶縁膜9をも覆うように均一に成膜する。そして、この金をパターン加工して、エミッタオーミック電極4からバイアホール10内に延びてバイアホール10の底面に達する金属配線11を形成する。

【0054】次に、図2(e)に示すように、CMP(ケミカル・メカニカル・ポリッシュ)法等により、基板13の裏面側をバイアホール10の底部に達するまで研磨する。そして、蒸着法やスパッタ法若しくはメッキ法等により、バイアホール10内の金属配線11と接触するように、研磨後の基板13の裏面に例えば金からなる厚さ10 μ m程度のPHS層12を設ける。

【0055】この後、図1(a)中に示すように、蒸着法やスパッタ法等により、基板13の表面側に例えば厚さ10 μ m程度Ti/Auの積層膜を成膜し、その積層膜をパターン加工して、それぞれベースオーミック電極5、コレクタオーミック電極6と接触するベース引き出し配線14、コレクタ引き出し配線15を形成する。

【0056】このようにして、放熱性を改善でき、エミッタインダクタンスを低減できるHBT50が作製される。

【0057】(第2実施形態)図4(a)は第2実施形態のHBT51の平面パターンを示し、図4(b)は同図(a)におけるB-B線断面を示している。なお、理解の容易のため、図1(a)、(b)中の構成要素と対応する構成要素には同一の符号を付している(以下の図でも同様)。

【0058】このHBT51のバイアホール10は、エミッタ層1、ベース層2、コレクタ層3を貫通する一定の断面寸法を持つ第1のバイアホール10aと、この第

1のバイアホール10aの断面寸法よりも小さい一定の断面寸法を持つ第2のバイアホール10bとの2段になっている。第1のバイアホール10aはエミッタ層1、ベース層2、コレクタ層3を貫通して、コレクタ層3の近傍の深さで止まっている。第2のバイアホール10bは、第1のバイアホール10aの底部から基板13の裏面まで達している。層間絶縁膜9は第1のバイアホール10aの側壁にのみ設けられ、第2のバイアホール10bの側壁は直接金属配線11と接している。その他の構成は第1実施形態のHBT50と同じである。

【0059】このHBT51では、第1実施形態のHBT50に比してさらに放熱性を改善できる。すなわち、図3に模式的に示すように、動作時に半導体基板13の表面側の接合部(主としてベース層2とコレクタ層3との界面)27で発生した熱は、二つの経路P1、P2を通して放熱される(このこと自体は第1実施形態と同様である)。一つの経路P1は、接合部27からエミッタオーミック電極4を経由して金属配線11に伝わり、この金属配線11によって基板表面側からバイアホール10内を通して基板裏面のPHS層12に伝わる経路である。もう一つの経路P2は、接合部27から基板13内を通してバイアホール10内の金属配線11に伝わり、この金属配線11によって基板裏面のPHS層12に伝わる経路である。ここで、後者の経路P2では、第1実施形態と異なり、基板13から層間絶縁膜9を介することなく直接金属配線11に熱が伝わる。したがって、第1実施形態のHBT50に比してさらに放熱性が改善される。

【0060】このHBT51は次のようにして作製される。

【0061】まず、図5(a)に示すように、半絶縁性GaAs基板13の表面側に、第1実施形態と同様にコレクタ層3、ベース層2およびエミッタ層1をこの順に積層し、上になった層ほど面積が小さくなるように上記各層1、2、3をパターン加工する。この例では、エミッタ層1の各辺の長さを50 μ m程度に設定する。これとともに、図5(b)に示すように、各層1、2、3の表面部分に、リフトオフ法により、それぞれ矩形の枠状パターンを持つオーミック電極4、5、6を形成する。

【0062】次に、図5(c)に示すように、フォトリソグラフィを行ってレジストマスク7を形成した後、塩素系のガス等を用いたRIE等のドライエッチングを行って、エミッタ層1、ベース層2、コレクタ層3の中央部を貫通して、コレクタ層3よりも数 μ mだけ深い深さで止まる断面矩形形状の第1のバイアホール10aを形成する。この例では、第1のバイアホール10aの各辺の長さを40 μ m程度とする。したがって、エミッタ層1は各辺の長さが50 μ m程度、幅が4 μ m程度で、全長200 μ m程度の矩形の枠状になる。この第1のバイアホール10aを形成する第1段階では、極力低い例えば

10W程度のRFパワー条件下でドライエッチングを行う。これにより、エミッタ層1、ベース層2、コレクタ層3の側面に表面荒れやダメージが生じるのを効果的に防止できる。したがって、素子の高信頼性化を図ることができる。

【0063】次に、図5(d)に示すように、プラズマCVD法などにより、基板13の表面側に例えばSiN、SiO₂、SiON、ポリイミド樹脂等からなる層間絶縁膜9を、数100nmの厚さで、第1のバイアホール10aの内壁をも覆うように均一に成膜する。続いて、RIE等のドライエッチングを行って、第1のバイアホール10aの底部から数μm内側の位置に基板13内の所定の深さ、例えば100μm程度で止まる第2のバイアホール10bを形成する。この例では、第2のバイアホール10bの各辺の長さは30μm程度とし、第1のバイアホール10aに対して同心状に形成する。結果として、第1のバイアホール10aを基板13の裏面側へ向かって延長したことになる。この第2のバイアホール10bを形成する第2段階では、例えばRFパワー100W程度の高パワー条件下のドライエッチングを行

う。これにより、横方向へのエッチング広がりを抑えながら高速のエッチングを行うことができ、深いバイアホール10を比較的短時間で形成できる。したがって素子の寸法精度を向上できる上、製造工数を低減できる。

【0064】次に、図5(e)に示すように、フォトリソグラフィおよびエッチングを行って、層間絶縁膜9のうちエミッタオーミック配線4の表面上およびバイアホール10の底面上に存する部分を除去して、エミッタオーミック電極4の表面およびバイアホール10の底面を露出させる。

【0065】この後、第1実施形態と同様に、エミッタオーミック電極4からバイアホール10内に延びてバイアホール10の底面に達する金属配線11を形成する。

さらに、図5(f)に示すように、基板13の裏面側をバイアホール10の底部に達するまで研磨して、研磨後の基板13の裏面に例えば金からなる厚さ10μm程度のPHS層12を設ける。

【0066】このようにして、放熱性を改善でき、エミッタインダクタンスを低減できるHBT51が作製される。

【0067】(第3実施形態)図6(a)は並列接続されたHBT51の平面パターンを示し、図6(b)は同図(a)におけるB-B線断面を示している。

【0068】この例では、共通の半導体基板13に、第2実施形態のHBT51が複数個並べて形成されている。隣り合うHBT51の金属配線11、ベース配線14、コレクタ配線15は、並列動作するように互いに電氣的に接続されている。したがって、高出力動作が可能となる。また、各HBT51の接合部で発生した熱は、そのHBT毎に基板裏面のPHS層12に放熱される。

したがって、各HBTの性能ばらつきによる熱の集中が抑制されて、信頼性が向上する。

【0069】なお、この例では、金属配線11、ベース配線14、コレクタ配線15は、パターン加工に適するように、それぞれ厚さ1μm程度のAuやTi/Au等の積層膜からなっている。

【0070】(第4実施形態)図7(a)は並列接続された正六角形のパターンを持つHBT52を示し、図7(b)は並列接続された円形のパターンを持つHBT53を示している。

【0071】図7(a)のHBT52では、エミッタ層1'、ベース層2'、コレクタ層3'およびそれらの各層1'、2'、層3'を貫通するバイアホール10'がいずれも正六角形のパターンを有している。その他の構成は第1実施形態のHBT50と同じである。このHBT52では、バイアホール10'の断面形状が、各頂角が鈍角であるような正六角形に設定されているので、バイアホール10'の周りで電界集中が抑制される。したがって、素子の信頼性が向上する。当然ながら、各頂角が鈍角であるような多角形であれば、同様の作用効果を奏する。

【0072】また、図7(b)のHBT53では、エミッタ層1''、ベース層2''、コレクタ層3''およびそれらの各層1''、2''、層3''を貫通するバイアホール10''がいずれも正六角形のパターンを有している。その他の構成は第1実施形態のHBT50と同じである。このHBT53では、バイアホール10''の断面形状が円形に設定されているので、バイアホール10''の周りで電界集中が抑制される。したがって、素子の信頼性が向上する。

【0073】(第5実施形態)図8は第5実施形態のHBT54の断面を示している。このHBT54は、第2実施形態のHBT51に対して、エミッタ層1の外縁下部にアンダーカット16が形成され、ベースオーミック電極5が自己整合的に形成されている点のみが異なっている。

【0074】このHBT54は次のようにして作製される。

【0075】第2実施形態の製造工程中でエミッタ層1をパターン加工するとき、図9(a)に示すように、エミッタ層1の外縁下部を0.2μm程度サイドエッチングしてアンダーカット(段差)16を形成する。

【0076】次に、図9(b)に示すように、基板13の表面側に、ベースオーミック電極5を構成すべき金属膜5、5'、例えば厚さ数100nm程度のPtやPt/Ti/Pt/Auの積層膜を成膜する。これにより、ベースオーミック電極5の内縁を、エミッタ層1の外縁の段差を用いてエミッタ層1に対して自己整合的に形成する。なお、このときエミッタオーミック電極4上に形成された金属膜5'は、エミッタオーミック電極4の一

部を構成する(よって、図8では図示を省略している。)

【0077】次に、図9(c)に示すように、フォトリソグラフィを行って、エミッタオーミック電極4および金属膜5を覆うように、ベース層2のパターン加工用のフォトレジスト(メサエッチングマスク)7を設ける。そして、上記金属膜5とベース層2を同一のマスク7を用いて連続的にRIE等のドライエッチングを行って、ベースオーミック電極5の外縁とベース層2の外縁とが一致するように加工する。このときのエッチング条件は、金属膜5をエッチングする段階では、金属膜5がP層を含んでいることから、例えばArのスパッタエッチング条件を採用する。次にベース層2をエッチングする段階では、塩素系のガスを用いて化学反応を利用した条件を採用する。

【0078】この後、第2実施形態と同様の工程を実行して、図9(d)(すなわち図8)に示すようなHBTが得られる。

【0079】このHBTの製造方法によれば、ベース層2の幅を広げることなく、ベースオーミック電極5の幅をエミッタ層1の外縁からベース層2の外縁の範囲まで一杯に広げることができる。これにより、ベース・コレクタ間の容量の増加を避けながら、ベース配線抵抗の上昇を抑制できる。したがって、素子の高周波特性の向上を図ることができる。

【0080】(第6実施形態)図10は第6実施形態のHBT55の断面を示している。このHBT55は、第5実施形態のHBT54に対して、金属配線11が、エミッタオーミック電極4の材料からなる配線パターン4'上にメッキ法によって形成されている点のみが異なっている。エミッタオーミック電極4および配線パターン4'は、例えば厚さ数100nmのWNやWN/Ti/Auの多層膜からなっている。

【0081】このHBT55を作製する場合、コレクタオーミック電極6、ベースオーミック電極5を形成した後、エミッタオーミック電極4を形成する前に第1のバイアホール10aを形成する。次に、蒸着法等により、エミッタオーミック電極4を形成するのと同時に、そのオーミック電極4の材料からなり、エミッタ層1の表面部分から第1のバイアホール10a内に延びて第1のバイアホール10aの底部に達する配線パターン4'を形成する。そして、その配線パターン4'を給電メタルとして用いて、メッキ法により、その配線パターン4'上に金属配線11を形成する。その他の工程は、第5実施形態と同様に実行する。

【0082】この製造方法では、エミッタオーミック電極4を形成するのと同時に、金属配線11をメッキするための配線パターン4'を形成しているので、エミッタオーミック電極4と金属配線11とを別々にパターン加工する場合に比して、工程が短縮化される。したがっ

て、製造コストの低減を図ることができる。

【0083】(第7実施形態)図11(a)は並列接続されたHBT51の間に分離溝17を備えた場合の平面パターンを示し、図11(b)は同図(a)におけるB-B線断面を示している。

【0084】この例では、第3実施形態と同様に、隣り合うHBT51の金属配線11、ベース配線14、コレクタ配線15は、並列動作するように互いに電気的に接続されている。したがって、高出力動作が可能となる。また、各HBT51の接合部で発生した熱は、そのHBT毎に基板裏面のPHS層12に放熱される。したがって、各HBTの性能ばらつきによる熱の集中が抑制されて、信頼性が向上する。

【0085】しかも、共通の半導体基板13に、基板表面から基板裏面まで貫通して、隣り合うHBT51の間を仕切る分離溝17が設けられ、この分離溝17内は層間絶縁膜9で埋め込まれている。なお、分離溝17は、バイアホール10と同時に並行して形成される。この構造により、動作時に隣り合うHBT51同士が熱的に遮断されて、互いに影響を及ぼし合うことが無くなるとともに、各HBT51の熱容量が均一化されて均一に動作するようになる。したがって、素子の高信頼性化を図ることができる。

【0086】同様に、図12(a)は並列接続されたHBT51の間に分離溝17を備えた場合の平面パターンを示し、図12(b)は同図(a)におけるB-B線断面を示している。

【0087】この例では、分離溝17は、何も埋め込まれずに空洞とされている。上の例と同様に、動作時に隣り合うHBT51同士が熱的に遮断されて、互いに影響を及ぼし合うことが無くなるとともに、各HBT51の熱容量が均一化されて均一に動作するようになる。したがって、素子の高信頼性化を図ることができる。

【0088】なお、分離溝17内に基板13よりも熱伝導率の小さい金属を埋めこんでも良い。そのようにした場合、各HBT51で発熱した熱がその金属を伝わって基板裏面のPHS層12へ放熱される。したがって、放熱性を更に改善でき、発熱による素子の破壊を抑制できる。以上のように、分離溝17を設けることにより素子の高信頼化を図ることができる。

【0089】(第8実施形態)図13(a)~(c)は、図4に示したHBT51を作製する場合に、一定の断面寸法を持つ第2のバイアホール10bを基板13の裏面側から形成する例を示している。

【0090】この例では、図13(a)に示すように、第2実施形態と同様に、第1のバイアホール10aを形成し、さらに層間絶縁膜9を形成した後、金属配線11を形成する。次に、CMP法等によって、基板13の裏面側を所定量だけ研磨して、基板13の厚さを例えば100μm程度に薄くする。この後、図13(b)に示す

ように、フォトリソグラフィおよびR I E等のドライエッチングを行って、基板13の裏面側から第1のバイアホール10aの底部に達する第2のバイアホール10bを形成する。そして、図13(c)に示すように、蒸着法、スパッタリング法またはメッキ法によって、研磨後の基板裏面に厚さ10 μ m程度の金からなるPHS層12を、第2のバイアホール10bを通して第1のバイアホール10a内の金属配線11と接触するように設ける。

【0091】詳しくは、まず図14(a)に示すように、エミッタ層1、ベース層2、コレクタ層3を貫通して基板13内の所定の深さで止まる第1のバイアホール10aを形成すると同時に、基板13上で各層1、2、3が占める領域以外の領域に、基板表面側から第1のバイアホール10aよりも深いアライメント用ホール29を形成する。この例では、アライメント用ホール29の深さは100 μ m程度とする。次に、図14(b)に示すように、基板13の表面側に、樹脂31を用いて例えばSiからなる支持基板30を貼り付ける。このとき、アライメント用ホール29は樹脂31で埋め込まれる。次に、CMP法等によって、基板13の裏面側をアライメント用ホール29の底部に達するまで、つまり基板13の裏面側にアライメント用ホール29の底部の樹脂31が現れるまで研磨する。図14(c)に示すように、この基板13の裏面側に現れたアライメント用ホール29(樹脂31)を基準としてフォトリソグラフィを行って、基板13の裏面側に第2のバイアホール10bを形成するためのレジストマスク32を設ける。次に、図14(d)に示すように、このマスク32を用いてR I E法等のドライエッチングを行って、基板13の裏面側から第1のバイアホール10aの底部に達する第2のバイアホール10bを形成する。このとき、第1のバイアホール10aの底部の金属配線11が現れた時点のエッチングの終点とする。次に、図14(e)に示すように、蒸着法、スパッタリング法またはメッキ法によって、研磨後の基板裏面に厚さ10 μ m程度の金からなるPHS層12を、第2のバイアホール10bを通して第1のバイアホール10a内の金属配線11と接触するように設ける。最後に、図14(f)に示すように、溶剤によって樹脂31を溶解して、基板13の表面側から支持基板30を取り除く。

【0092】このようにした場合、基板表面側から形成した第1のバイアホール10aに対して、基板裏面側から形成する第2のバイアホール10bを、両面アライナ等の特殊な装置を用いることなく、通常のアライナによって容易に位置合わせすることができ。したがって、通常フォトリソグラフィ技術による高精度な位置合わせが行える。しかも、基板裏面の研磨が少しの研磨量で済ませられる。なお、基板13の裏面側を研磨することなく、研磨工程を省略して、直接第2のバイアホール1

0bを形成しても良い。

【0093】図15は、上述のR I E法等のドライエッチングに代えて、クエン酸系等のエッチング液を用いたウェットエッチングによって、基板裏面側から第2のバイアホール10bを掘り鉢状に形成した例を示している。

【0094】この例では、作製されたHBT56において、基板裏面のPHS層12に近づくにつれて第2のバイアホール10bが作る放熱経路が太くなるので、さらに放熱性を改善できる。したがって、さらに素子の高信頼性化を図ることができる。

【0095】(第9実施形態)図16は第9実施形態のHBT57の断面を示している。このHBT57は、第2実施形態のHBT51に対して、バイアホール10の内部が完全に金属配線11の材料で埋め込まれている点のみが異なっている。このような金属配線11はメッキ法により形成される。

【0096】このHBT57では、バイアホール10の内部が金属配線11の材料で埋め込まれているので、バイアホール10を通した放熱効果が高まり、さらに放熱性を改善できる。この結果、素子特性の安定化及び高信頼性化を図ることができる。

【0097】(第10実施形態)図17は第10実施形態のHBT58の断面を示している。このHBT58は、図4に示したHBT51に対して、エミッタ層1の周縁部1a、1bの厚さがそのエミッタ層1の他の部分の厚さよりも薄く設定され、いわゆるエッジシンニング構造となっている点のみが異なっている。

【0098】このHBT58を作製する場合、第2実施形態と同様に、第1のバイアホール10aを形成する。続いて、フォトリソグラフィを行って、矩形棒状のエミッタ層1の表面に、その矩形棒の幅よりも狭い幅を持つ矩形棒状のレジストマスク(図示せず)を設ける。そのマスクを用いてエミッタ層1の周縁部をメサエッチングして、エミッタ層1の周縁部1a、1bの厚さをそのエミッタ層1の他の部分の厚さよりも薄くする(エッジシンニング構造)。この後、第2実施形態と同様に、ベースオーミック電極5を形成する。その他の工程は、第2実施形態と同様に実行する。

【0099】このHBT58では、エミッタ層1の周縁部1a、1bの厚さがそのエミッタ層1の他の部分の厚さよりも薄く設定され、いわゆるエッジシンニング構造となっているので、動作時にエミッタ層1の周縁部1a、1bとベース層2との間に発生する正孔と電子との再結合が防止される。この結果、素子の高信頼性化を図ることができる。

【0100】(第11実施形態)図18は隣り合うHBT51の間に素子間分離領域19を設けた例を示している。なお、簡単のため、1個のHBT51の両側に素子間分離領域19、19を図示している。

【0101】この例では、共通の半導体基板13に、HBTを構成するエミッタ層1、ベース層2、コレクタ層3を複数組並べてパターン形成する。各層1、2、3にオーミック電極4、5、6を形成した後、第1のバイアホール10aを形成する前に、隣り合うコレクタ層3の間のフィールド領域に、酸素イオンやヘリウムイオン、水素イオン等を高濃度例えば $1 \times 10^{19} \text{ cm}^{-2}$ 程度イオン注入する。これにより、フィールド領域に、高抵抗（比抵抗 $1 \times 10^7 \Omega \cdot \text{cm}$ 程度）の所定の厚さを持つ素子間分離領域19を形成する。その他の工程は、第2

【0102】このようにした場合、素子間分離領域19の厚さのお陰で、第1のバイアホール10aを形成するためにフォトリソグラフィを行ったとき、基板13上のトランジスタ部（各層1、2、3の領域）とフィールド部（トランジスタの間の領域）との間の段差が低減されて、フォトリソマスクの膜厚が均一となる。したがって、第1のバイアホール10aをエッチングしている間にマスク破れが発生するおそれを解消できる。しかも、金属配線11を形成するときにトランジスタ部の被覆性が良好となり、素子信頼性の向上を図ることができる。

【0103】（第12実施形態）図19は、上述の各HBTに適用できるエミッタオーミック電極4、ベースオーミック電極5、コレクタオーミック電極6のパターンを示している。

【0104】この例では、エミッタオーミック電極4、ベースオーミック電極5、コレクタオーミック電極6のパターンは、それぞれ第1のバイアホール10aを形成すべき領域の周囲を一部欠落して取り囲むパターンとなっている。すなわち、それらのオーミック電極4、5、6のパターンは、略矩形棒状のパターンであるが、完全な矩形棒状パターンではなく、図において各縦辺の中央部4c、5c、6cが欠落した態様となっている。

【0105】このようなパターンを採用した上、各オーミック電極4、5、6をリフトオフ法によって形成する。リフトオフ用レジストを溶剤で溶かすとき、溶剤が略矩形棒状のパターンの外側からその欠落部分4c、5c、6cを通して内側へ容易に浸入するので、各オーミック電極4、5、6のパターンを完全な矩形棒状パターンとした場合に比して、リフトオフが容易に行える。

【0106】なお、第4実施形態のHBT52、53（図7）のように正六角形や円形のパターンを基本とする場合は、各オーミック電極4、5、6のパターンを、それぞれ正六角形の棒状パターンや円形の棒状パターンの一部が欠落したものとする。要は、リフトオフを容易に行うためには、環状パターンの一部が欠落していれば良いのである。

【0107】（第13実施形態）図20は、上述の各実施形態で基板13の裏面側を研磨するのに適用できる研

摩装置20を示している。この研磨装置20は、槽内に、研磨対象22（この例では基板13）が載せられる研磨台23を備えている。研磨台23が回転され、研磨液21が投入されて基板13の裏面側が研磨されるにつれて、研磨液21が廃液26となって槽内に溜まる。この研磨廃液26の電気抵抗は、抵抗形成センサ25を備えた抵抗測定器24によって観測されるようになっている。

【0108】上述の各実施形態で基板13の裏面側を第1のバイアホール10aの底部に達するまで研磨するとき、抵抗形成センサ25を備えた抵抗測定器24によって研磨廃液26の電気抵抗を観測する。そして、第1のバイアホール10a内の金属配線11の削りかすが研磨廃液26中に混入して研磨廃液26の電気抵抗が変化した時を研磨の終点とする。このようにした場合、研磨の終点が明確になるので、基板裏面側の研磨量の精度が向上する。

【0109】（第14実施形態）図21（a）は、上述のいずれかの実施形態のHBT（符号34、35で表す）を備えた高周波2段増幅器40の回路構成を示している。

【0110】この高周波2段増幅器40は、入力端子33とグランド（接地）38との間に接続された入力抵抗37に入力された信号を増幅する初段増幅用HBT34と、このHBT34が出力する信号を増幅する2段目増幅用HBT35とを備えている。このHBT35の出力は出力端子36に出力される。この高周波2段増幅器40は、HBT34、35が放熱性に優れているので、高周波増幅を行う場合に、高利得で高出力動作をおこなうことができる。また、高信頼化を図ることができる。この高周波2段増幅器40は、例えば図21（b）に示すように、高周波送受信機としての携帯電話器41に搭載される。この携帯電話器41は、アンテナ39を通してマイクロ波を高利得で高出力で送信することができる。

【0111】なお、高周波増幅器としては、2段増幅器に限られず、3個のHBTを備えて3段増幅器を構成しても良い。

【0112】

【発明の効果】以上より明らかなように、この発明のヘテロ接合型バイポーラトランジスタは、エミッタ層の表面電極と基板裏面のヒートシンク層とがバイアホール内を通る金属配線で接続されているので、動作時に半導体基板の表面側の接合部（主としてベース層とコレクタ層との界面）で発生した熱は、二つの経路を通して放熱される。したがって、放熱性が改善される。また、エミッタの表面電極とバイアホールの表面側開口とは極めて接近しているため、上記金属配線は、エミッタ層の表面電極からバイアホール内に最短距離で引き込まれる。この結果、エアブリッジを介する場合に比して、エミッタインダクタンスが低減され、高周波特性が改善される。

【0113】一実施形態のヘテロ接合型バイポーラトランジスタでは、上記バイアホールの断面形状は、各頂角が鈍角であるような多角形または円形であるから、バイアホールの周りで電界集中が抑制される。したがって、素子の信頼性が向上する。

【0114】また、一実施形態のヘテロ接合型バイポーラトランジスタでは、上記バイアホールの内部が上記金属配線の材料で埋め込まれているので、上記バイアホールを通した放熱効果が高まり、さらに放熱性が改善される。この結果、素子特性の安定化及び高信頼性が図られる。

【0115】一実施形態のヘテロ接合型バイポーラトランジスタでは、上記エミッタ層の周縁部の厚さがそのエミッタ層の他の部分の厚さよりも薄く設定され、いわゆるエッジシンニング構造となっているので、動作時にエミッタ層の周縁部とベース層との間に発生する正孔と電子との再結合が防止される。この結果、素子の高信頼性が図られる。

【0116】また、この発明の並列接続のヘテロ接合型バイポーラトランジスタは、共通の半導体基板に、上記いずれかのヘテロ接合型バイポーラトランジスタが複数個並べて形成され、並列動作するように互いに電気的に接続されているので、高出力動作が可能となる。また、各トランジスタの接合部で発生した熱は、そのトランジスタ毎に基板裏面のヒートシンク層に放熱されるので、各トランジスタの性能ばらつきによる熱の集中が抑制されて、信頼性が向上する。

【0117】一実施形態の並列接続のヘテロ接合型バイポーラトランジスタでは、上記共通の半導体基板に、基板表面から基板裏面まで貫通して、隣り合うヘテロ接合型バイポーラトランジスタの間を仕切る溝が設けられているので、動作時に隣り合うトランジスタ同士が熱的に遮断されて、互いに影響を及ぼし合うことが無くなるとともに、各トランジスタの熱容量が均一化されて均一に動作するようになる。したがって、素子の高信頼性が図られる。

【0118】この発明のヘテロ接合型バイポーラトランジスタの製造方法は、半導体基板の表面側にコレクタ層、ベース層およびエミッタ層をこの順に積層し、上になった層ほど面積が小さくなるように上記各層をパターン加工するとともに、上記各層の表面部分に、それぞれオーミック接触のための表面電極を形成する工程と、上記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成する工程と、上記エミッタの表面電極から上記第1のバイアホール内に延びて上記第1のバイアホールの底部に達する金属配線を形成する工程と、上記基板の裏面側を上記第1のバイアホールの底部に達するまで研磨する工程と、上記第1のバイアホール内の金属配線と接触するように、上記研磨後の基板裏面に金属からなるヒートシン

ク層を設ける工程を有しているので、放熱性を改善でき、エミッタインダクタンスを低減できるヘテロ接合型バイポーラトランジスタが作製される。

【0119】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成した後、上記エミッタ層、ベース層、コレクタ層の表面及び側面を覆う絶縁膜を設け、さらに上記第1のバイアホールを上記基板の裏面側へ向かって延長するので、エッチングによる第1のバイアホールの寸法シフトが抑制されて、素子の高精度化、特性の高均一化が図られる。また、エミッタ層、ベース層、コレクタ層の側面に表面荒れやダメージが生じなくなる。したがって、素子の高信頼性が図られる。

【0120】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記第1のバイアホールを上記エミッタ層、ベース層、コレクタ層を貫通するまで形成する第1段階では、ウェットエッチングまたは低パワー条件のドライエッチングを行うので、上記エミッタ層、ベース層、コレクタ層の側面に表面荒れやダメージが生じるのを効果的に防止できる。したがって、素子の高信頼性が図られる。また、上記第1のバイアホールを上記基板の裏面側へ向かって延長する第2段階では、高パワー条件のドライエッチングを行うので、横方向へのエッチング広がりを抑えながら高速のエッチングを行うことができ、深いバイアホールを比較的短時間で形成できる。

【0121】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記エミッタ層をパターン加工するとき、上記エミッタ層の外縁下部をエッチングしてアンダーカットを形成し、上記基板の表面側に上記ベース層の表面電極を構成すべき金属膜を成膜して、上記ベース層の表面電極の内縁を、上記エミッタ層の外縁の段差を用いて上記エミッタ層に対して自己整合的に形成するとともに、上記金属膜とベース層とを同一のマスクを用いて連続的にエッチングして、上記ベース層の表面電極の外縁とベース層の外縁とが一致するように加工するので、ベース層の幅を広げることなく、ベース層の表面電極の幅をエミッタ層の外縁からベース層の外縁の範囲まで一杯に広げることができる。これにより、ベース・コレクタ間の容量の増加を避けながら、ベース配線抵抗の上昇を抑制できる。したがって、素子の高周波特性の向上が図られる。

【0122】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、エミッタ層の表面電極を形成すると同時に、金属配線をメッキするための配線パターンを形成しているので、エミッタ層の表面電極と金属配線とを別々にパターン加工する場合に比して、工程が短縮化される。したがって、製造コストの低減が図られる。

【0123】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記金属配線を形成した後、上記基板の裏面側を研磨するのに代えて、または上記基板の裏面側を所定量だけ研磨した後、上記基板の裏面側から上記第1のバイアホールの底部に達する第2のバイアホールを形成し、上記研磨後の基板裏面に金属からなるヒートシンク層を、上記第2のバイアホールを通して第1のバイアホール内の金属配線と接触するように設けるので、基板裏面の研磨工程が省略されるか、または少しの研磨量で済ませられる。特に、基板裏面側から第2のバイアホールをウェットエッチングによって挿入状に形成した場合は、作製されたヘテロ接合型バイポーラトランジスタにおいて、基板裏面のヒートシンク層に近づくにつれて第2のバイアホールが作る放熱経路が太くなるので、さらに放熱性が改善される。

【0124】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記エミッタ層、ベース層、コレクタ層を貫通して上記基板内の所定の深さで止まる第1のバイアホールを形成すると同時に、上記基板上で上記各層が占める領域以外の領域に、上記基板表面側から上記第1のバイアホールよりも深いアライメント用ホールを形成し、上記基板の裏面側を上記アライメント用ホールの底部に達するまで研磨して、この基板の裏面側に現れたアライメント用ホールを基準として上記第2のバイアホールを形成するためのフォトリソグラフィを行うので、基板表面側から形成した第1のバイアホールに対して、基板裏面側から形成する第2のバイアホールを、両面アライナ等の特殊な装置を用いることなく、通常のアライナによって位置合わせすることができる。したがって、通常のフォトリソグラフィ技術による高精度な位置合わせが行える。

【0125】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、コレクタ層、ベース層、エミッタ層の表面電極のパターンを、それぞれ上記第1のバイアホールを形成すべき領域の周囲を一部欠落して取り囲む略環状のパターンとしているので、リフトオフ用レジストを溶剤で溶かすとき、溶剤が略環状のパターンの外側からその欠落部分を通して内側へ容易に浸入する。したがって、コレクタ層、ベース層、エミッタ層の表面電極のパターンを完全な環状パターンとした場合に比して、リフトオフが容易に行える。

【0126】一実施形態のヘテロ接合型バイポーラトランジスタの製造方法では、上記基板の裏面側を上記第1のバイアホールの底部に達するまで研磨するとき、研磨液の電気抵抗を観測して、上記第1のバイアホール内の金属配線の削りかすが研磨液中に混入して上記研磨液の電気抵抗が変化した時を研磨の終点とするので、研磨の終点が明確になり、基板裏面側の研磨量の精度が向上する。

【0127】一実施形態のヘテロ接合型バイポーラト

ンジスタの製造方法では、隣り合うヘテロ接合型バイポーラトランジスタのコレクタ層の間に、イオン注入を行って所定の厚さを持つ素子間分離領域を形成するので、この素子間分離領域の厚さのお陰で、第1のバイアホールを形成するためにフォトリソグラフィを行ったとき、上記基板上のトランジスタ部とフィールド部（トランジスタの間の領域）との間の段差が低減されて、フォトレジストマスクの膜厚が均一となる。したがって、第1のバイアホールをエッチングしている間にマスク破れが発生するおそれが解消される。しかも、金属配線を形成するときにトランジスタ部の被覆性が良好となり、素子信頼性の向上が図られる。

【0128】この発明の高周波送受信機は、上記いずれかのヘテロ接合型バイポーラトランジスタ若しくは並列接続のヘテロ接合型バイポーラトランジスタ、上記いずれかのヘテロ接合型バイポーラトランジスタの製造方法によって作製されたヘテロ接合型バイポーラトランジスタを、高周波増幅器として備えているので、この高周波増幅器が放熱性に優れていることから、高周波増幅を行う場合に、高利得で高出力動作が可能になる。また、高信頼化が図られる。

【図面の簡単な説明】

【図1】 (a)はこの発明の第1実施形態のHBTの平面パターンを示す図、(b)は(a)におけるB-B線断面を示す図である。

【図2】 図1のHBTを作成する工程図である。

【図3】 この発明の第2実施形態のHBTの動作時の放熱経路を説明する図である。

【図4】 (a)はこの発明の第2実施形態のHBTの平面パターンを示す図、(b)は(a)におけるB-B線断面を示す図である。

【図5】 図4のHBTを作製する工程図である。

【図6】 (a)はこの発明の第3実施形態の並列接続のHBTの平面パターンを示す図、(b)は(a)におけるB-B線断面を示す図である。

【図7】 (a)は並列接続された正六角形のパターンを持つHBTの平面パターンを示す図、(b)は並列接続された円形のパターンを持つHBTの平面パターンを示す図である。

【図8】 この発明の第5実施形態のHBTを示す断面図である。

【図9】 図8のHBTを作製する工程図である。

【図10】 この発明の第6実施形態のHBTを示す断面図である。

【図11】 (a)は並列接続されたHBTの間に分離溝を備え、この分離溝が層間絶縁膜で埋め込まれている場合の平面パターンを示す図、(b)は(a)におけるB-B線断面を示す図である。

【図12】 (a)は並列接続されたHBTの間に分離溝を備え、この分離溝が空洞である場合の平面パターン

を示す図、(b)は(a)におけるB-B線断面を示す図である。

【図13】 図4に示したHBT51を作製する場合に、第2のバイアホールをドライエッチングにより基板の裏面側から形成する例を示す工程図である。

【図14】 図13の工程図を詳細に示す工程図である。

【図15】 第2のバイアホールをウエットエッチングにより基板の裏面側から形成して得られたHBTを示す断面図である。

【図16】 この発明の第9実施形態のHBTを示す断面図である。

【図17】 この発明の第10実施形態のHBTを示す断面図である。

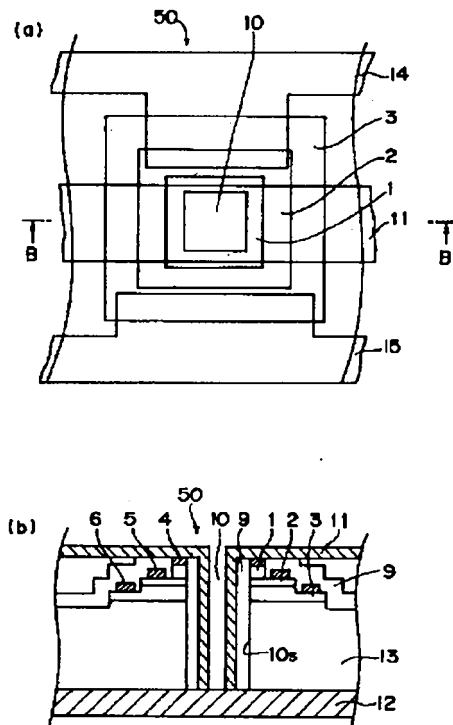
【図18】 隣り合うHBTの間に素子間分離領域を設けた例を示す断面図である。

【図19】 上述の各HBTに適用できるエミッタオーミック電極4、ベースオーミック電極5、コレクタオーミック電極6の平面パターンを示す図である。

【図20】 上述の各実施形態で基板の裏面側を研磨するのに適用できる研磨装置を示す図である。

【図21】 (a)は上述のいずれかのHBTを備えた高周波2段増幅器の回路構成を示す図、(b)はその高周波2段増幅器を搭載した携帯電話器を示す図である。

【図1】

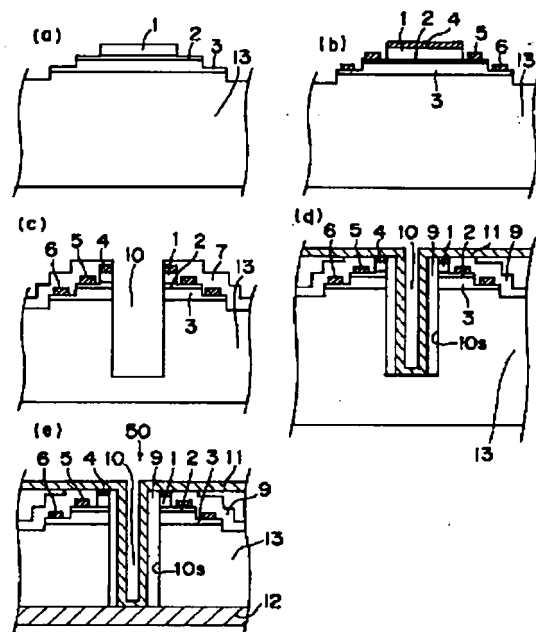


【図22】 (a)は並列接続された従来のHBTの平面パターンを示す図、(b)は(a)におけるB-B線断面を示す図である。

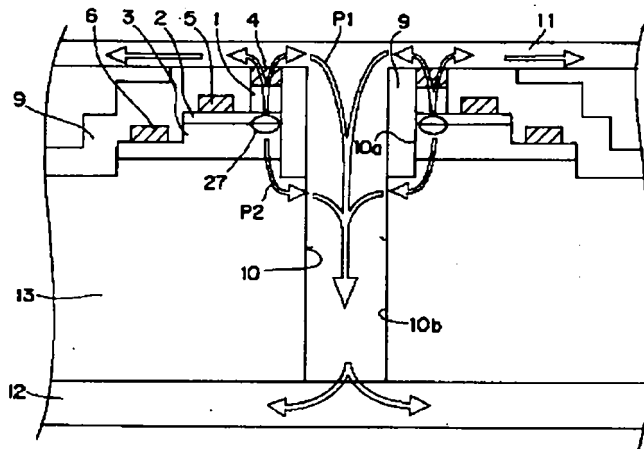
【符号の説明】

- 1 エミッタ層
- 2 ベース層
- 3 コレクタ層3
- 4 エミッタオーミック電極
- 5 ベースオーミック電極
- 6 コレクタオーミック電極
- 9 層間絶縁膜
- 10 バイアホール
- 10a 第1のバイアホール
- 10b 第2のバイアホール
- 11 金属配線
- 12 PHS層
- 13 半絶縁性GaAs基板
- 16 アンダーカット
- 17 分離溝
- 19 素子間分離領域
- 20 研磨装置
- 24 抵抗測定器
- 40 高周波2段増幅器
- 41 高周波送受信機

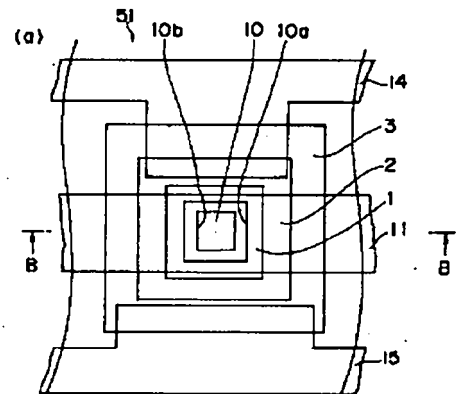
【図2】



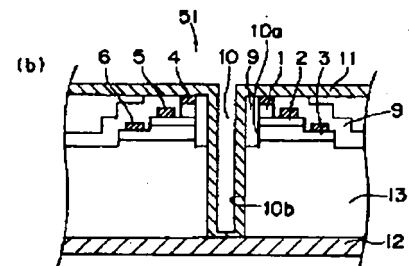
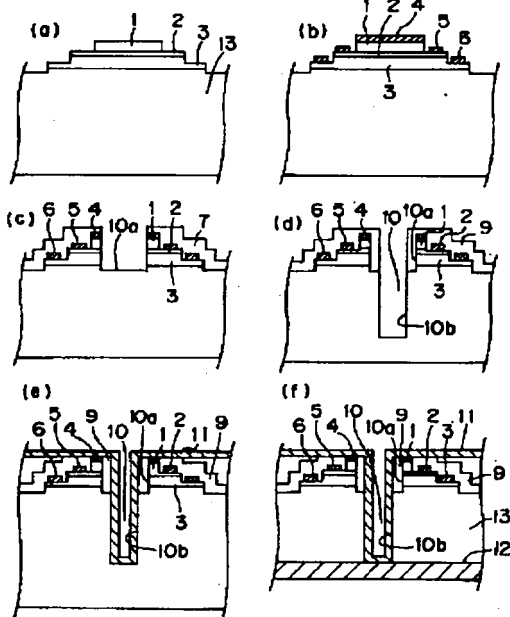
【図3】



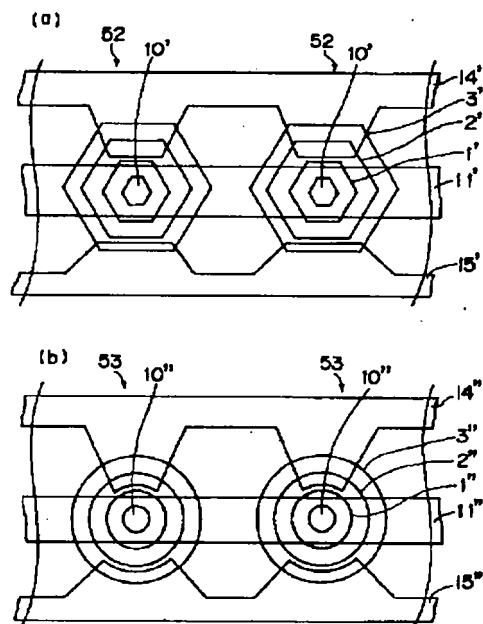
【図4】



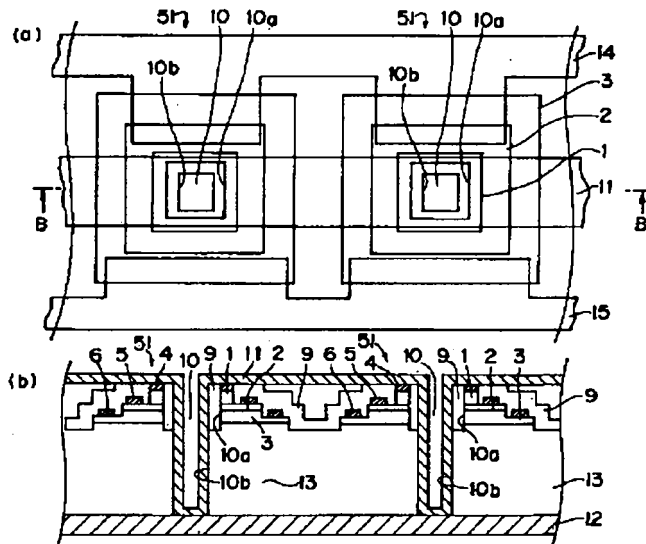
【図5】



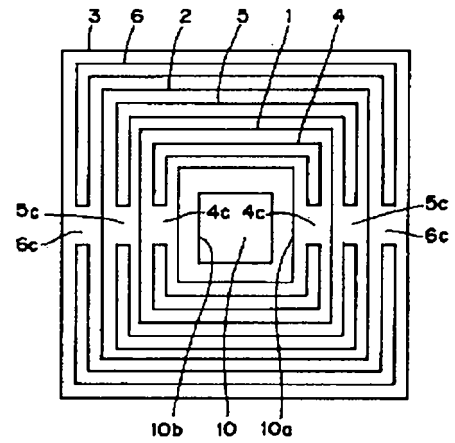
【図7】



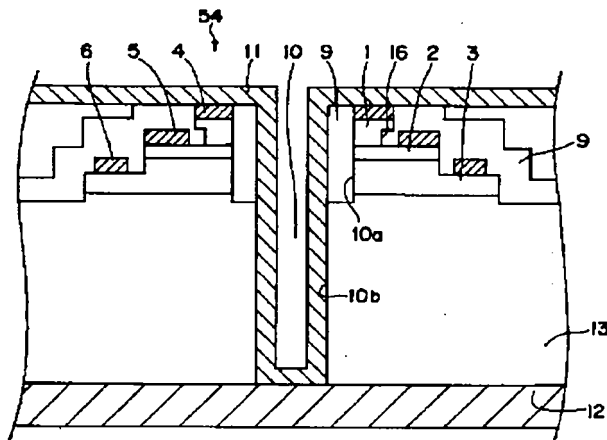
【図6】



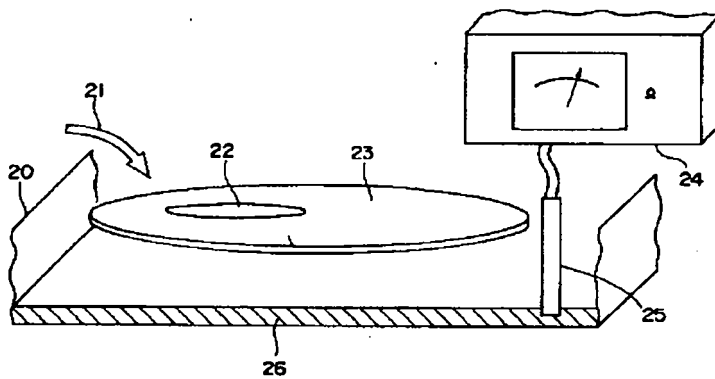
【図19】



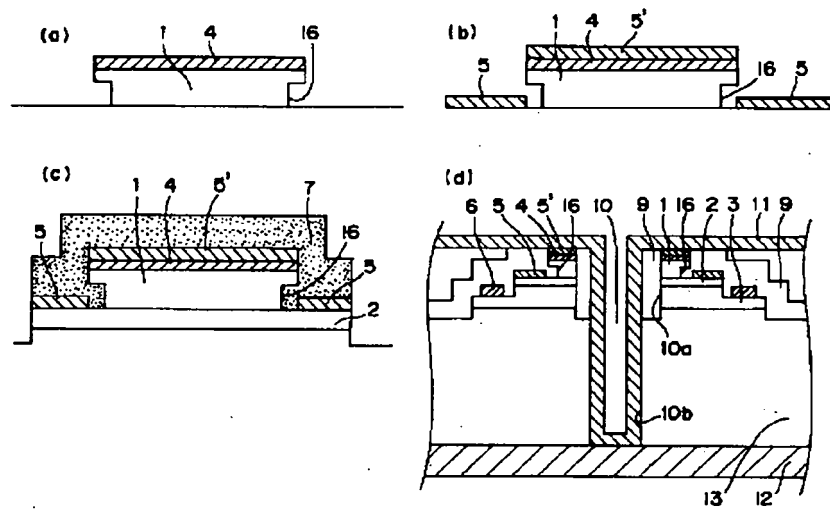
【図8】



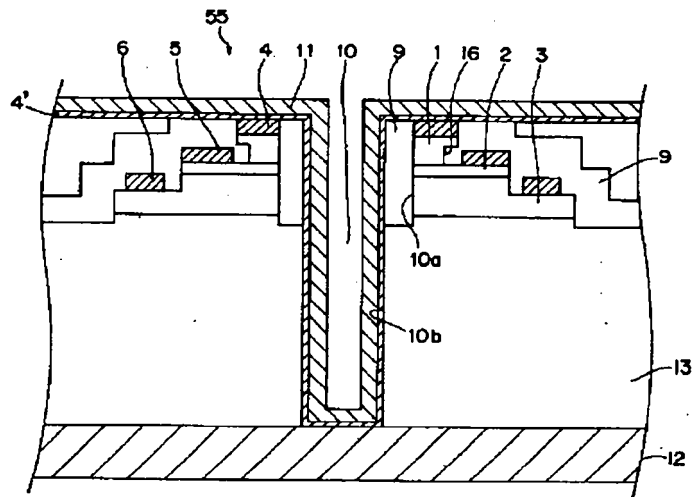
【図20】



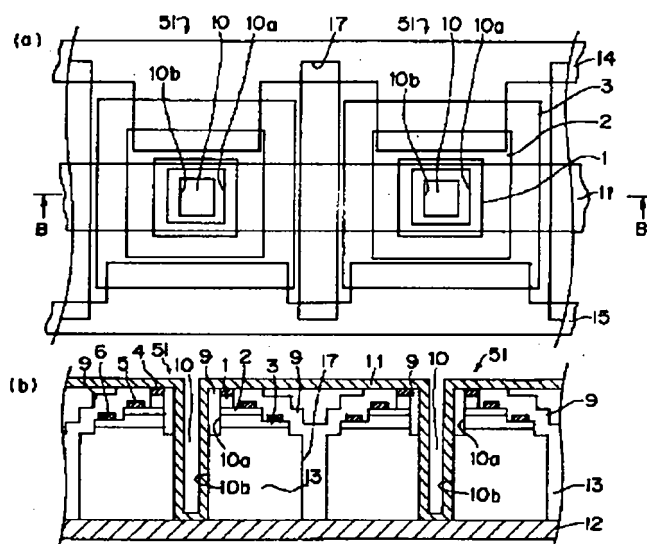
【図9】



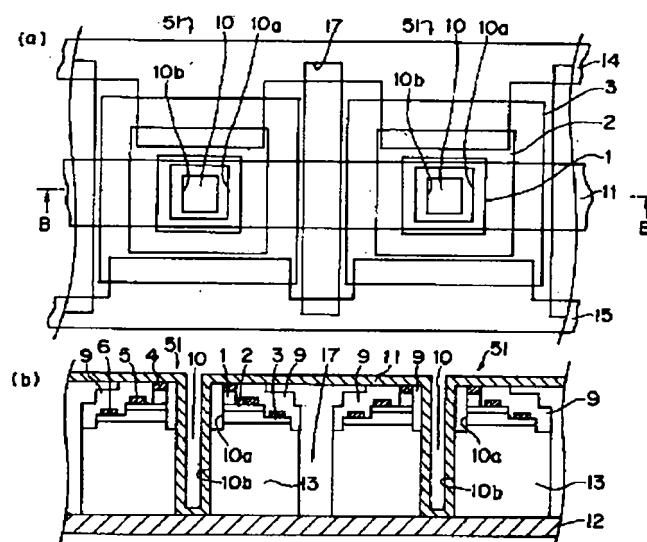
【図10】



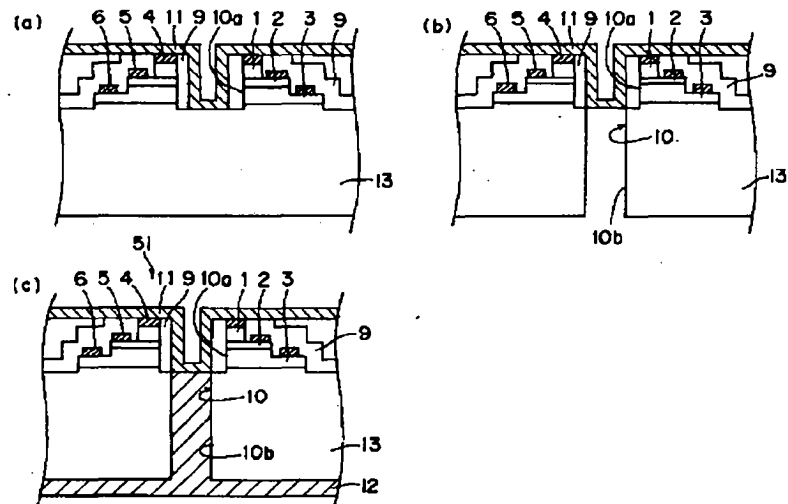
【図11】



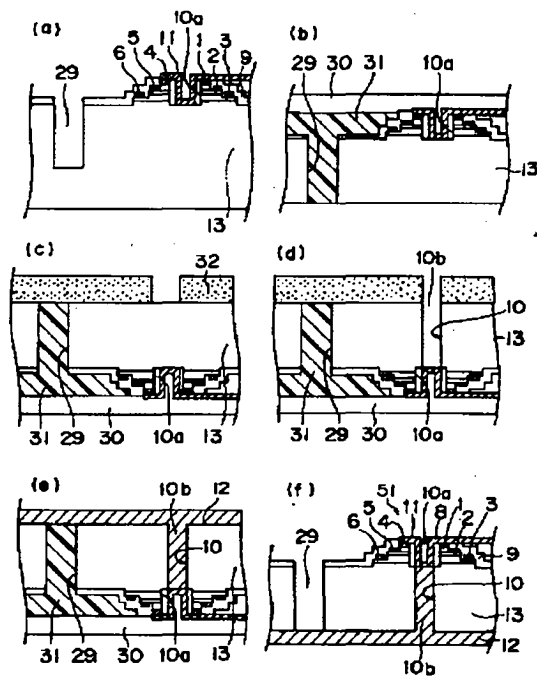
【図12】



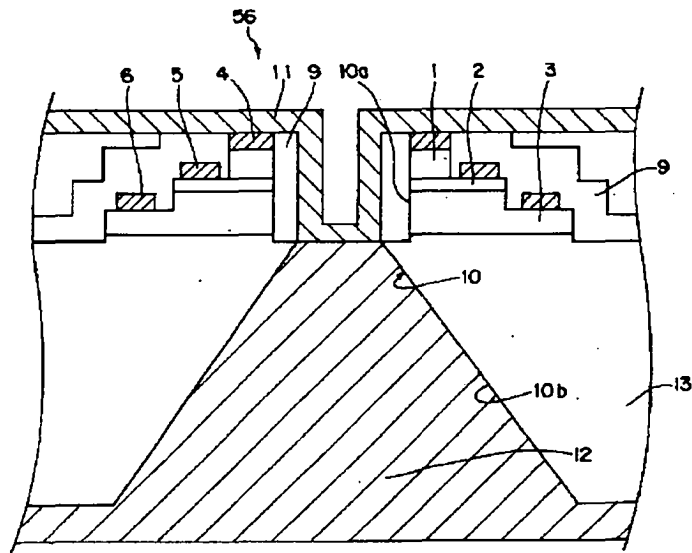
【図13】



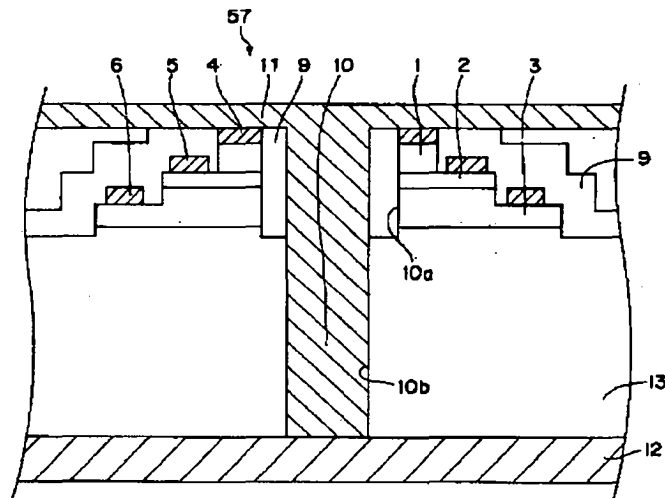
【図14】



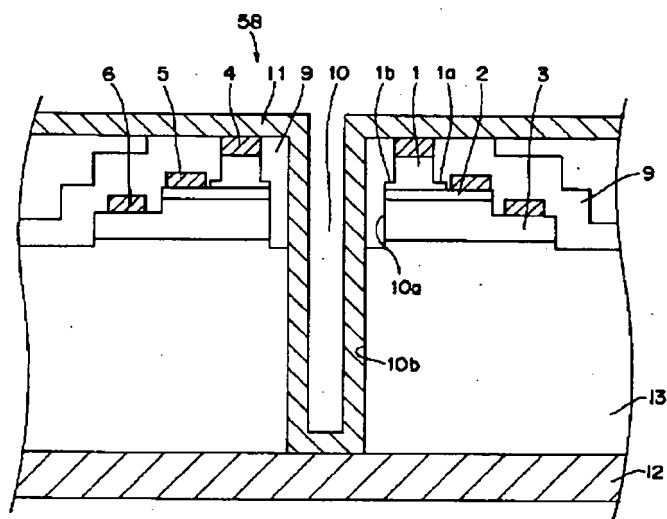
【图 15】



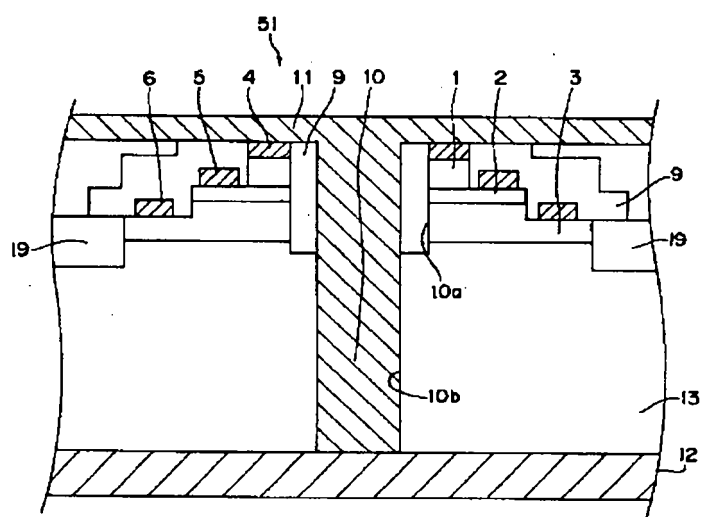
【图 16】



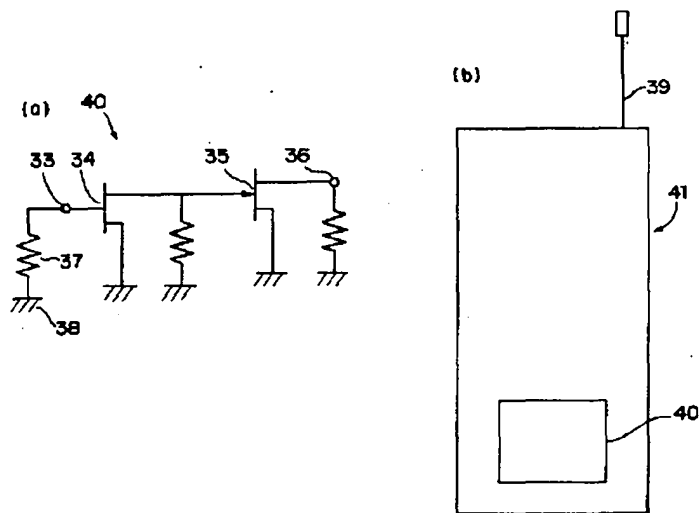
【図17】



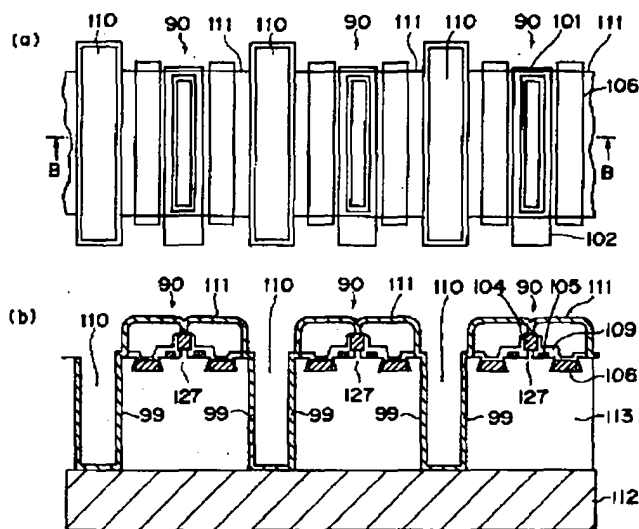
【図18】



【図21】



【図22】



フロントページの続き

Fターム(参考) 5F003 AP05 BA27 BA92 BF06 BH01
 BH08 BH11 BH18 BH93 BH99
 BJ99 BM02 BM03 BP93 BP95
 BS04 BS08
 5F082 AA06 AA25 BA05 DA02 DA03
 DA05 DA06 EA13 EA15 EA17
 EA20 FA01 GA02

PUB-NO: EP001077494A2

DOCUMENT-IDENTIFIER: EP 1077494 A2

TITLE: Heterojunction bipolar transistor
and method for fabricating the same

----- KWIC -----

Document Identifier - DID (1):
EP 1077494 A2